

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224848  
(43)Date of publication of application : 11.08.2000

(51)Int.Cl. HO2M 3/28  
HO2M 7/21

(21)Application number : 2000-013011      (71)Applicant : SAMSUNG ELECTRO MECH CO LTD

(22) Date of filing : 21.01.2000 (72) Inventor : LEE SANG-YUN

(30)Priority

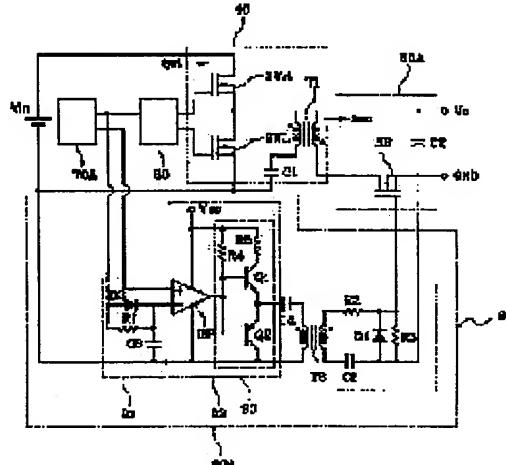
Priority number : 99 9902290    Priority date : 25.01.1999    Priority country : KR

**(54) ASYMMETRIC FLYBACK CIRCUIT USING SYNCHRONOUS RECTIFIER**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain an asymmetric flyback circuit which prevents double delays, by using the output of a pulse-width modulation(PWM) part, when a synchronous rectifier is turned off.

**SOLUTION:** The gate drive signal of a switch is generated by a pulse width modulation controller(PWM) 70A. At the same time, a reference voltage is generated. In a signal delay part 91, the gate drive signal, of the switch which is output by the PWM controller 70A is delayed. Then, in an inversion and compensation part 92, a gate drive signal which is output by the signal delay part 91 is compared with the reference voltage output by the PWM controller 70A. Its resulting value is amplified. When a synchronous rectifier SR is turned off, a compensated gate drive signal is generated.



## LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection] 26.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-224848  
(P2000-224848A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.  
H 0 2 M 3/28  
7/21

識別記号

F I  
H 0 2 M 3/28  
7/21

テーマコード\*(参考)  
F  
A

審査請求 有 請求項の数7 OL (全8頁)

(21)出願番号 特願2000-13011(P2000-13011)  
(22)出願日 平成12年1月21日(2000.1.21)  
(31)優先権主張番号 1999-2290  
(32)優先日 平成11年1月25日(1999.1.25)  
(33)優先権主張国 韓国(K.R.)

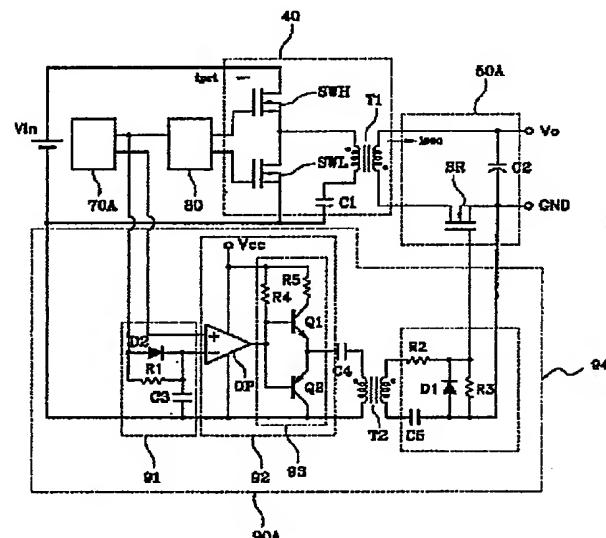
(71)出願人 591003770  
三星電機株式会社  
大韓民国京畿道水原市八達區梅灘洞314番  
地  
(72)発明者 李 相潤  
大韓民国京畿道水原市長安区崇園洞 韓一  
タウン139棟702号  
(74)代理人 100062144  
弁理士 青山 葵 (外1名)

(54)【発明の名称】 同期整流器を使用した非対称フライバック回路

(57)【要約】

【課題】パルス幅変調部の出力を利用して同期整流器のターンオフ時、二重の遅延を防止する。

【解決手段】 PWMコントローラ70Aでスイッチのゲート駆動信号を発生すると同時に基準電圧を発生し、信号遅延部91ではPWMコントローラ70Aで出力されるスイッチのゲート駆動信号を遅延させる。そして、反転及び補償部92は信号遅延部91で出力されるゲート駆動信号とPWMコントローラ70Aで出力される基準電圧を比較し、その結果値を增幅して同期整流器SRのターンオフ時、補償されたゲート駆動信号を発生する。



#### 【特許請求の範囲】

【請求項1】 スイッチのゲートを駆動するためのゲート駆動信号と基準電圧を発生するパルス幅変調部と、前記パルス幅変調部で出力されるゲート駆動信号によってハイサイドスイッチ及びローサイドスイッチを駆動させるスイッチゲート駆動部と、前記ハイサイド及びローサイドスイッチのスイッチング動作によって1次側の電圧を2次側に誘導させるトランスと、前記トランスの2次側の出力電圧を整流する同期整流部と、前記パルス幅変調部で出力されるゲート駆動信号を遅延させた後、前記パルス幅変調部で出力される基準電圧と比較し、その結果値を增幅して前記同期整流部の駆動信号に提供する整流駆動信号発生部と、前記整流駆動信号発生部で出力される駆動信号が絶縁トランスマフォーマを介して入力されて前記同期整流部内に備えられているMOSトランジスタからなる同期整流器を駆動する同期整流駆動部とを含むことを特徴とする同期整流器を使用した非対称フライバック回路。

【請求項2】 前記整流駆動信号発生部は、  
前記パルス幅変調部で出力されるゲート駆動信号を遅延  
させる信号遅延手段と、  
前記信号遅延手段で出力されるゲート駆動信号と前記パ  
ルス幅変調部で出力される基準電圧を比較し、その結果  
値を増幅して前記同期整流器のターンオフ時、補償され  
たゲート駆動信号を発生する反転及び補償手段とを含む  
ことを特徴とする請求項1に記載の同期整流器を使用し  
た非対称フライバック回路。

【請求項3】 前記信号遅延手段は、是正数だけ前記スイッチゲート駆動信号を遅延させる抵抗及びコンデンサから構成されたRCフィルタを使用することを特徴とする請求項2に記載の同期整流器を使用した非対称フライバック回路。

【請求項4】 前記反転及び補償手段は、  
前記パルス幅変調部で出力される基準電圧と前記信号遅延手段で山力される信号を比較する比較器と、  
前記比較器の出力信号を増幅して遅延が補償された同期整流器のゲート駆動信号を発生するバッファー増幅器と  
を含むことを特徴とする請求項2に記載の同期整流器を使用した非対称フライバック回路。

【請求項5】 前記バッファー増幅器は、所定の陽電圧が第1抵抗を介してコレクタ端子に入力され、前記陽電圧が第2抵抗を介してベース端子に入力されるが、前記ベース端子にかかる前記比較器の出力信号によってオン／オフ動作する第1トランジスタと、前記第1トランジスタのエミッタ端子にかかる電圧がエミッタ端子に入力され、ベース端子には前記比較器の出力信号が入力されて前記第1トランジスタと反動して動作する第2トランジスタとを含むことを特徴とする請求

項4に記載の同期整流器を使用した非対称フライバック回路。

【請求項6】 前記同期整流部は、  
前記トランスの2次側の電圧出力端と接地端の間に並列  
連結されている第1コンデンサと、  
前記トランスの2次側の一端にドレイン端子が連結さ  
れ、接地端にソース端子が連結されるMOSトランジス  
タ素子である同期整流器とを含むことを特徴とする請求  
項1に記載の同期整流器を使用した非対称フライバック  
回路。

10 回路。

【請求項 7】 前記同期整流駆動部は、  
前記同期整流器のゲート端子と接地端の間に連結される  
第3抵抗と、  
前記同期整流器のゲート端子にカソード端子が連結さ  
れ、接地端にアノード端子が連結される第1ダイオード  
と、  
前記絶縁トランジスタの2次側の電圧出力端と前記  
同期整流器のゲート端子の間に連結される第4抵抗と、  
前記絶縁トランジスタの2次側の他端と前記第1ダ  
イオードのアノード端子との間に連結される第2コンデ  
ンサとを含むことを特徴とする請求項1に記載の同期整  
流器を使用した非対称フライバック回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ACアダプタに適用される非対称フライバック回路に関するもので、特に、パルス幅変調部の出力をを利用して同期整流器のタンゴン前、同期整流器の2次側のスイッチであるMOSトランジスタ(MOSFET)の寄生ダイオードの導通

30 時に発生する損失を最小化し、同期整流器のターンオフ時、二重の遅延を防止するようにした同期整流器を使用した非対称フライバック回路に関するものである。

【0002】

【従来の技術】最近になって、全世界的にノートブックPCは、小型化、軽量化されていくとともに、高性能化を追求することによって、必然的にマルチメディア体制の構築、CPUの高速化、メモリ増加等々、システムの仕様の増大が持続的に求められている。

【0003】また、各システム仕様のそれぞれの資源に対する容量が増加する関係でノートブックPC用ACアダプタも現在は45～50ワットの電力を使用しているが、徐々に60ワット、75ワット、及び80ワット以上の高容量化と携帯が簡単な超小型スリム化、及び高効率の要求が高まっている。

【0004】さらに、ACアダプタを高効率化にしなければならない理由は、効率が高くなるということは内部の電力損失が小さいということであり、これは、内部の発熱が小さいということを意味するため、小型化が可能になる。

50 【0005】しかし、現在、ACアダプタに使われる最

も代表的な方式に、フライバック回路方式と共振型方式があるけれども、そのうちフライバック回路方式は、半導体素子であるMOSトランジスタのターンオフ電圧( $V_{ds}$ )とターンオン電流( $I_{ds}$ )の交差が大きいハードスイッチングをするために、電力の損失が大きいという短所がある。一方、共振型方式は、スイッチング損失を抑えることができ、小型、軽量化に対して有効な方法であるが、電圧と電流を正弦波形状に作るために、制御性が悪く、スイッチング素子に与える電圧、電流のストレスが大きいという短所を内包している。

【0006】従って、最近では効率が高いという点から同期整流器(Synchronous Rectifier: SR)を使用する同期整流方式が注目されている。同期整流器は、出力ダイオードの代わりにMOSトランジスタを使用し、同期整流器の導通時、 $R_{ds(on)}$ 損失( $I_F^2 * R_{ds(on)}$ )が発生するが、 $R_{ds(on)}$ は、0.020~0.025Ω程度で非常に小さく、損失が小さいため、効率上昇に大きな効果を奏す。

#### 【0007】

【発明が解決しようとする課題】上記のような同期整流方式を適用した従来のACアダプタの構成は、図1のとおりである。

【0008】図1の構成によれば、入力される商用交流電源に混ざっているノイズを除去した後、後端に具備されているディバイス側に伝達しつつ、逆に後端のディバイス側で発生する電源ノイズが商用交流電源の入力端側に伝えられることを防止するEMIフィルタ10と、前記EMIフィルタ10を介して入力されるAC電源を整流してDC電源に転換させるブリッジ整流部20と、前記ブリッジ整流部20を介して整流されたDC電源を常時220Vの交流入力状態でのDC電源の状態で維持する電圧ダブラー30と、入力されるスイッチング制御信号によって前記電圧ダブラー30を介して流入される電源に対するゼロ電圧スイッチング動作を遂行する非対称フライバックコンバータ40と、前記非対称フライバックコンバータ40でゼロ電圧スイッチング動作される電圧の変動分に対してトランスT1を介して誘導される電源を特定の同期信号によって整流する同期整流部50と、前記同期整流部50を介して最終的に出力される電圧の状態を感じて前端に電圧状態に対する情報を伝達するフィードバック部100と、前記フィードバック部100及び前記同期整流部50の後端に位置するディバイスの損傷を防止する保護回路110と、前記フィードバック部100を介して伝えられる前記同期整流部50の出力電圧の状態によって制御信号用PWM信号を変調させるPWMコントローラ70と、前記PWMコントローラ70で出力される制御信号によって前記非対称フライバックコンバータ40のゼロ電圧スイッチング動作を制御するための駆動信号を発生させるスイッチゲートドライバ80と、前記スイッチゲートドライバ80で出力される

駆動信号中、前記非対称フライバックコンバータ40内部のローサイドスイッチを駆動するための駆動信号Lによって前記同期整流部50の同期状態を制御するためのSRゲートドライバ90とから構成される。

【0009】上記のように構成される同期整流方式を適用した従来のACアダプタの構成中、同期整流方式に関連した部分の構成をみると、図2に図示されているように、図1の非対称フライバックコンバータ40、同期整流部50、及びSRゲート駆動部90の簡略的な回路構成と、PWMコントローラ70及びスイッチゲート駆動部80が図示されている。

【0010】図2に図示されている構成をみると、パルス幅変調信号を発生するPWMコントローラ70と、前記PWMコントローラ70で出力されるパルス幅変調信号によってハイサイド及びローサイドスイッチのゲートを駆動させるスイッチゲートドライバ80と、前記スイッチゲートドライバ80の出力信号によってスイッチング動作をするハイサイドスイッチSWH及びローサイドスイッチSWLと、前記ハイサイドスイッチSWH及び

10 ローサイドスイッチSWLのスイッチング動作によって1次側の電圧を2次側に誘導させるトランスT1と、前記トランスT1の2次側出力電圧を整流する同期整流器SRと、前記スイッチゲートドライバ80で出力されるローサイドスイッチのゲート駆動信号で前記同期整流器SRのゲートを駆動させる絶縁トランスフォーマT2とから構成されている。

【0011】このように構成された従来の同期整流器を使用した非対称フライバック回路はPWMコントローラ70で出力されるパルス幅変調信号を使用してスイッチ

20 ゲートドライバ80で、非対称フライバックコンバータ40内部のハイサイドスイッチSWH及びローサイドスイッチSWLのゲートを駆動する。

【0012】そして、トランスT1は、前記ハイサイドスイッチSWH及びローサイドスイッチSWLのスイッチング動作によって1次側の電圧を2次側に誘導するようにし、同期整流器SRは、前記トランスT1の2次側の出力電圧を整流して出力させる。そして、絶縁トランスフォーマT2は、前記スイッチゲートドライバ80で出力されるローサイドスイッチのゲート駆動信号を利用して前記同期整流器SRのゲートを駆動させる。

【0013】即ち、同期整流器SRのゲート駆動信号は、ハイサイドスイッチSWHのターンオフと同期整流器SRのターンオンの間、前記同期整流器SRのターン

30 オフとハイサイドスイッチSWHのターンオンの間に遅延されつつ供給される。

【0014】また、ローサイドスイッチSWLのターン

オフ後、ハイサイドスイッチSWHがターンオンされる前までは、2次側に伝えられたエネルギーが消耗された後

であり、マイナスの1次側の電流が流れため、ローサ

40 イドスイッチSWLのターンオフ以内に前記同期整流器

SRをターンオフさせなければならない。

【0015】このため、従来では同期整流器SRのゲート信号をローサイドスイッチSWLと同一にする目的でローサイドスイッチSWLのゲート駆動信号を、絶縁トランスマスクT2を介して前記同期整流器SRのゲートに印加する。

【0016】図3に図示されている波形aは、前記ハイサイドスイッチのゲート電圧の波形で、波形bは、前記ローサイドスイッチのゲート電圧の波形であり、波形cは、同期整流器のゲート電圧の波形である。

【0017】前記図3に図示されている電圧波形を参照して図2に図示されている回路の動作をみると、図3で波形aの区間に前記ハイサイドスイッチSWHがオン動作するため、トランスマスクT1にエネルギーが蓄えられる。

【0018】以後、前記波形aの電圧状態がロー状態に転換されると、前記ハイサイドスイッチSWHがターンオフされ、それによって前記トランスマスクT1の極性が転換されて2次側に電圧が誘導されることで電流i secが流れようになる。

【0019】このとき、前記電流i secが流れるために、ローサイドスイッチSWLのターンオン動作の電圧、即ち、波形bの電圧を利用してSRゲートドライバ90を介して同期整流器SRをターンオン駆動させる。

【0020】従って、前記ローサイドスイッチSWLがオン動作する間は、前記電流i secが持続的に流れ、前記ローサイドスイッチSWLがターンオフされると、前記電流i secは、流れを止めるようになるのである。

【0021】しかし、実際に前記ハイサイドスイッチSWHのターンオフ時点と前記ローサイドスイッチSWLのターンオン時点の間に遅延時間が存在し、前記トランスマスクT1の2次側の電流i secは、前記ハイサイドスイッチSWHのターンオフ時点から流れそのため、前記同期整流器SRがターンオンされる前までは、前記同期整流器SR内部の寄生ダイオードを介して流れようになる(図3の波形c参照)。

【0022】従って、前記同期整流器SR内部の寄生ダイオードを介して電流i secが流れ間、寄生ダイオードでの電圧降下による電力損失D<sub>SR</sub>が発生する。

【0023】また、前記同期整流器SRは、PWMコントローラ70の出力信号からスイッチゲートドライバ80とSRゲートドライバ90を経由した信号によって動作するため、二重的な時間遅延が発生する。こうした遅延時間によって前記ローサイドスイッチSWLのターンオフ時点より遅れた時点でターンオフ動作するようになるため、誤動作の問題点が発生する(図3の波形d参照)。

【0024】さらに、前記ローサイドスイッチSWLがターンオフされると同時にトランスマスクT1の1次側の電流i priは、前記ハイサイドスイッチSWHの寄生ダイ

オードを介して流れため、前記同期整流器SRのターンオフ時点は、前記ローサイドスイッチSWLのターンオフ時点と同一でなければならない。しかし、図2に図示されている従来の技術では、こうした必要条件を満足させることができない、という問題点が発生する。

【0025】本発明は、上記問題点を解決するためになされたものであって、その目的は、パルス幅変調部の出力を利用して同期整流器のターンオフ時、二重の遅延を防止するようにした同期整流器を使用した非対称フライ

10 バック回路を提供することにある。

【0026】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、スイッチのゲートを駆動するためのゲート駆動信号と基準電圧を発生するパルス幅変調部と、前記パルス幅変調部で出力されるゲート駆動信号によってハイサイドスイッチ及びローサイドスイッチを駆動させるスイッチゲート駆動部と、前記ハイサイド及びローサイドスイッチのスイッチング動作によって1次側の電圧を2次側に誘導させるトランスマスクと、前記トランスマスクの2次側の出力電圧を整流する同期整流部と、前記パルス幅変調部で出力されるゲート駆動信号を遅延させた後、前記パルス幅変調部で出力される基準電圧と比較し、その結果値を増幅して前記同期整流部の駆動信号に提供する整流駆動信号発生部と、前記整流駆動信号発生部で出力される駆動信号が絶縁トランスマスクを介して入力されて前記同期整流部内に備えられているMOSトランジスタからなる同期整流器を駆動する同期整流駆動部とを含むことをその要旨とする。

20 【0027】請求項2の発明は、請求項1の同期整流器を使用した非対称フライバック回路において、前記整流駆動信号発生部は、前記パルス幅変調部で出力されるゲート駆動信号を遅延させる信号遅延手段と、前記信号遅延手段で出力されるゲート駆動信号と前記パルス幅変調部で出力される基準電圧を比較し、その結果値を増幅して前記同期整流器のターンオフ時、補償されたゲート駆動信号を発生する反転及び補償手段とを含むことをその要旨とする。

30 【0028】請求項3の発明は、請求項2の同期整流器を使用した非対称フライバック回路において、前記信号遅延手段は、是正数だけ前記スイッチゲート駆動信号を遅延させる抵抗及びコンデンサから構成されたRCフィルタを使用することをその要旨とする。

40 【0029】請求項4の発明は、請求項2に記載の同期整流器を使用した非対称フライバック回路において、前記反転及び補償手段は、前記パルス幅変調部で出力される基準電圧と前記信号遅延手段で出力される信号を比較する比較器と、前記比較器の出力信号を増幅して遅延が補償された同期整流器のゲート駆動信号を発生するバッファー増幅器とを含むことをその要旨とする。

50 【0030】請求項5の発明は、請求項4の同期整流器

を使用した非対称フライバック回路において、前記バッファ増幅器は、所定の陽電圧が第1抵抗を介してコレクタ端子に入力され、前記陽電圧が第2抵抗を介してベース端子に入力されるが、前記ベース端子にかかる前記比較器の出力信号によってオン／オフ動作する第1トランジスタと、前記第1トランジスタのエミッタ端子にかかる電圧がエミッタ端子に入力され、ベース端子には前記比較器の出力信号が入力されて前記第1トランジスタと反動して動作する第2トランジスタとを含むことをその要旨とする。

【0031】請求項6の発明は、請求項1の同期整流器を使用した非対称フライバック回路において、前記同期整流部は、前記トランスの2次側の電圧出力端と接地端の間に並列連結されている第1コンデンサと、前記トランスの2次側の一端にドレイン端子が連結され、接地端にソース端子が連結されるMOSトランジスタ素子である同期整流器とを含むことをその要旨とする。

【0032】請求項7の発明は、請求項1の同期整流器を使用した非対称フライバック回路において、前記同期整流駆動部は、前記同期整流器のゲート端子と接地端の間に連結される第3抵抗と、前記同期整流器のゲート端子にカソード端子が連結され、接地端にアノード端子が連結される第1ダイオードと、前記絶縁トランスフォーマの2次側の電圧出力端と前記同期整流器のゲート端子の間に連結される第4抵抗と、前記絶縁トランスフォーマの2次側の他端と前記第1ダイオードのアノード端子との間に連結される第2コンデンサとを含むことをその要旨とする。

### 【0033】

【発明の実施の形態】まず、本発明を説明するに先立ち、本発明における技術的思想を簡略的にみると、従来技術での問題点がトランスT1の2次側の電流*i sec*が同期整流器SR内部の寄生ダイオードを介して流れることで発生する電力の損失発生が問題であり、また、同期整流器SRのオン／オフ動作時点が遅延時間によって、定常動作条件の区間と他の区間で動作するということが問題である。従って、遅延時間を減らし、前記寄生ダイオードを介したトランスT1における2次側の電流*i sec*の流れを抑制することと、2次側の電流*i sec*がオフ時、即ち、ローサイドスイッチSWLのターンオフと同時に同期整流器SRのゲート電圧をターンオフさせて遅延を防止することが技術的課題である。

【0034】従って、非対称フライバックコンバータ40内部のハイサイドスイッチSWHのターンオフ時点に同期整流器SRをターンオンさせると、前記同期整流器SRの寄生ダイオードを介したトランスT1における2次側の電流*i sec*の流れを抑制することができるということと、スイッチゲートドライバの入力信号、即ち、PWMコントローラの出力信号を使用すると、同期整流器のゲート電圧がターンオフ遅延を防止することができ

るという点に着眼している。

【0035】そのため、本発明の要点は、スイッチゲートドライバの出力信号を同期整流器SRの駆動信号に使用した従来技術から脱し、PWMコントローラで出力される信号を前記同期整流器SRの駆動信号に直接使用するということにある。

【0036】以下、本発明を詳細に説明する。

【0037】図4は本発明に伴う同期整流方式を適用したACアダプタのブロック構成例示図で、図4に図示されている構成をみると、入力される商用交流電源に混ざっているノイズを除去した後、後端に備えられているデイバイス側に伝達し、逆に後端のデイバイス側で発生する電源ノイズが商用交流電源の入力端側へ伝えられることを防止するEMIフィルタ10と、前記EMIフィルタ10を介して入力されるAC電源を整流してDC電源に転換させるブリッジ整流部20と、前記ブリッジ整流部20を介して整流されたDC電源を常時220V交流入力状態でのDC電源の状態に維持する電圧ダップラ30と、入力されるスイッチング制御信号によって前記電圧ダップラ30を介して流入される電源に対するゼロ電圧スイッチング動作を遂行する非対称フライバックコンバータ40と、前記非対称フライバックコンバータ40でゼロ電圧スイッチング動作される電圧の変動分に対してトランスT1を介して誘導される電源を特定の同期信号によって整流する同期整流部50と、前記同期整流部50を介して最終的に出力される電圧の状態を感知して前端に電圧状態に対する情報を伝達するフィードバック部100と、前記フィードバック部100及び前記同期整流部50の後端に位置するデイバイスの損傷を防止する保護回路110と、前記フィードバック部100を介して伝えられる前記同期整流部50の出力電圧の状態によって制御信号用PWM信号を変調させるPWMコントローラ70と、前記PWMコントローラ70で出力される制御信号によって前記非対称フライバックコンバータ40のゼロ電圧スイッチング動作を制御するための駆動信号を発生させるスイッチゲートドライバ80と、前記PWMコントローラ70で出力される制御信号と基準電圧信号が入力されて前記同期整流部50の同期状態を制御するためのSRゲートドライバ90とから構成されている。

【0038】ブロック構成図としては、図4の構成が図1に図示されている従来技術の構成と特別な差がないようみえる。従来技術と本発明の差は、以下で説明する詳細な回路構成によって明確化される。

【0039】図5は、本発明による同期整流器を使用した非対称フライバック回路の構成図である。

【0040】図示されたとおり、スイッチのゲートを駆動するためのゲート駆動信号と基準電圧Vrefを発生するPWMコントローラ70Aと、前記PWMコントローラ70Aで出力されるゲート駆動信号によってハイサ

イドスイッチ S WH 及びローサイドスイッチ S WL を駆動させるスイッチゲート駆動部 8 0 と、前記ハイサイド及びローサイドスイッチ S WH, S WL のスイッチング動作によって 1 次側の電圧を 2 次側に誘導させるトランジスト T 1 と、前記トランジスト T 1 の 2 次側の出力電圧を整流する同期整流部 50 A と、前記 PWM コントローラ 70 A で出力されるゲート駆動信号を遅延させた後、前記 PWM コントローラ 70 A で出力される基準電圧 V ref と比較してその結果値を增幅して前記同期整流部 50 A の駆動信号に提供する SR ゲートドライバ 90 A とから構成されている。

【0041】このとき、前記 SR ゲートドライバ 90 A は、前記 PWM コントローラ 70 A で出力される信号を遅延させる信号遅延部 91 と、前記信号遅延部 91 で出力されるゲート駆動信号と前記 PWM コントローラ 70 A で出力される基準電圧 V ref を比較し、その結果値を增幅して同期整流器 SR のターンオフ時、補償されたゲート駆動信号を発生する反転及び補償部 92 とからなる。前記信号遅延部 91 は、是正数だけ前記スイッチゲート駆動信号を遅延させる抵抗 R 1 及びコンデンサ C 3 とから構成される。

【0042】また、前記反転及び補償部 92 は、前記 PWM コントローラ 70 A で出力される基準電圧 V ref と前記信号遅延部 91 で出力される信号を比較する比較器 OP と、前記比較器 OP の出力信号を増幅して同期整流器のゲート駆動信号を発生するバッファー増幅器 93 とから構成される。

【0043】また、前記バッファー増幅器 93 は、所定の陽電圧 Vcc が第 5 抵抗 R 5 を介してコレクタ端子に入力され、前記陽電圧 Vcc が第 4 抵抗 R 4 を介してベース端子に入力されるものの、前記ベース端子にかかる前記比較器 OP の出力信号によってオン／オフ動作する第 1 パソジスタ Q 1 と、前記第 1 パソジスタ Q 1 のエミッタ端子にかかる電圧がエミッタ端子に入力され、ベース端子には前記比較器 OP の出力信号が入力されて前記第 1 パソジスタ Q 1 と反動して動作する第 2 パソジスタ Q 2 とから構成される。

【0044】また、前記反転及び補償部 92 で出力される 1 次側の信号を 2 次側に備えられている同期整流器のゲート駆動信号に提供するため、絶縁トランジスタ T 2 が備えられている。

【0045】また、同期整流部 50 A は、前記トランジスト T 1 の 2 次側の電圧出力端と接地端の間に並列連結されている第 2 コンデンサ C 2 と、前記トランジスト T 1 の 2 次側の一端にドレイン端子が連結され、接地端にソース端子が連結される MOS パソジスタ素子である同期整流器 SR とから構成されている。

【0046】また、前記同期整流器 SR を駆動するための同期整流器の駆動部 94 は、前記同期整流器 SR のゲート端子と接地端の間に連結される第 3 抵抗 R 3 と、前

記同期整流器 SR のゲート端子にカソード端子が連結され、接地端にアノード端子が連結される第 1 ダイオード D 1 と、前記絶縁トランジスタ T 2 の 2 次側の電圧出力端と前記同期整流器 SR のゲート端子の間に第 2 抵抗 R 2 及び前記絶縁トランジスタ T 2 の 2 次側の他端と前記第 1 ダイオード D 1 のアノード端子の間に連結される第 5 コンデンサ C 5 とから構成される。

【0047】このように構成された本発明による非対称フライバック回路は、PWM コントローラ 70 A でスイッチゲートを駆動させるためのゲート駆動信号と基準電圧 V ref を発生するようになり、スイッチゲートドライバ 80 は、前記ゲート駆動信号によってハイサイドスイッチ S WH 及びローサイドスイッチ S WL のゲートを駆動する。

【0048】そして、トランジスト T 1 は、前記ハイサイドスイッチ S WH 及びローサイドスイッチ S WL のスイッチング動作によって 1 次側の電圧を 2 次側に誘導するようになり、同期整流器 SR は、前記トランジスト T 1 の 2 次側の出力電圧を整流して出力させる。

【0049】一方、同期整流器 SR のターンオフ時、遅延を防止するため、既存のローサイドスイッチのゲート駆動信号を利用せず、前記 PWM コントローラ 70 A の出力信号を直接利用し、比較器 OP の反転入力に使用した。

【0050】このとき、前記信号遅延部 91 が備えられている理由は、前記ハイサイドスイッチ S WH がオン動作する間、前記同期整流器 SR がオン動作して前記トランジスト T 1 の 2 次側の電流 i sec が逆に流れるのである。

【0051】そして、反転及び補償部 92 内の比較器 OP は、前記信号遅延部 91 で得られる信号を反転データの入力端で入力を受け、前記 PWM コントローラ 70 A で出力される基準電圧 V ref を非反転データの入力端で入力を受け、その大きさを比較した後、その比較値に伴う電圧信号をハイ或いはロー状態の電圧信号として出力する。

【0052】そして、比較器 OP の出力は、バッファー増幅器 93 で増幅され、同期整流器 SR のターンオフ時、遅延を補償するためのゲート駆動信号で出力されるが、前記バッファー増幅器 93 で増幅された信号は、前記比較器 OP で出力される信号に対して位相反転された状態を維持する。

【0053】さらに、絶縁トランジスタ T 2 は、1 次側と 2 次側における絶縁のためのものであり、前記バッファー増幅器 93 で出力される反転及び補償されたゲート駆動信号として抵抗 R 1, R 3 により分圧された後、前記同期整流器 SR のゲートを駆動し、ターンオフ時、遅延を補償するようになる。

【0054】図 6 は、同期整流器のゲート電圧とローサイドスイッチのゲート電圧の波形を表したものである。

図示されたとおり、ローサイドスイッチ SWL のターンオフと同時に同期整流器 SR がターンオフされて遅延が発生しない、ということがわかる。

【0055】図7は、同期整流器のゲート電圧とトランジストの2次電流の波形を表したものである。ハイサイドスイッチのゲート電圧がターンオフされた後、二次電流  $i_{sec}$  が導通して最小のRC遅延時間後、同期整流器のゲート電圧がターンオンすることで、寄生ダイオードを介した損失が最小化され、二次電流のオフ時と同時に同期整流器がターンオフされて寄生ダイオードの導通がなく、二重遅延現象がなく誤動作を起こすことはない。

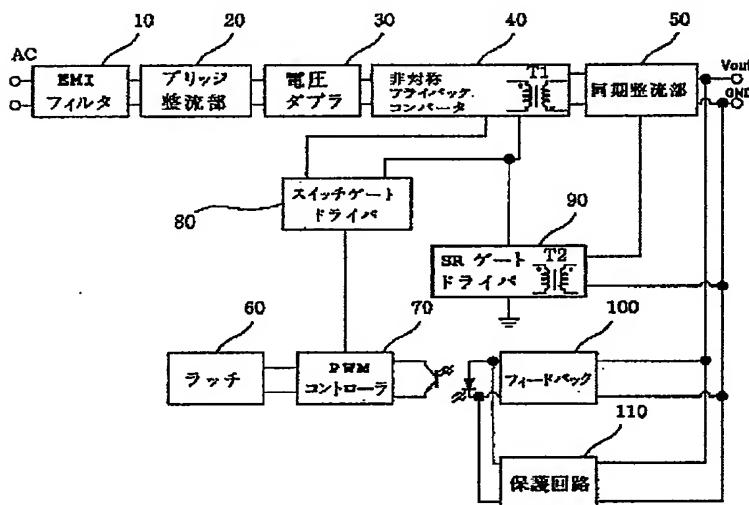
【0056】図8は、同期整流器ゲート電圧とハイサイドの電流波形を表したもので、1次ハイサイド電流がマイナスに流れる前に、同期整流器のゲート電圧が遅延なくターンオフされることを図示している。

【0057】

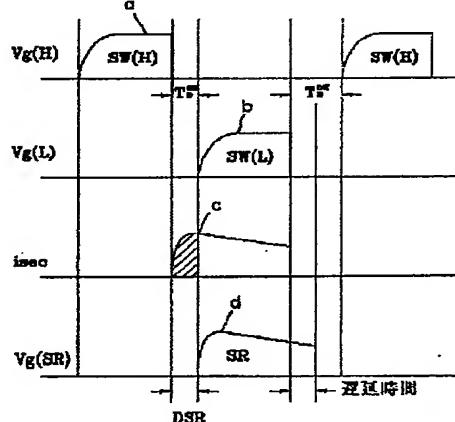
【発明の効果】以上、詳述したとおり、本発明は、パルス幅変調部の出力を利用し、比較器を利用して前記パルス幅変調部で出力されるスイッチのゲート駆動信号を位相反転させて同期整流器のゲートを駆動することによって、同期整流器におけるゲート電圧のターンオンの遅延を防止して寄生ダイオードを介した損失を最小化し、同期整流器のターンオフ時、発生する遅延を除去することができる、という効果を奏する。

【図面の簡単な説明】

【図1】



【図3】



【図1】 同期整流方式を適用したACアダプタのブロック構成例示図。

【図2】 従来の同期整流方式に関連した部分の簡略的な回路図。

【図3】 図2に示す回路図の問題点を説明するための波形図。

【図4】 本発明に伴う同期整流方式を適用したACアダプタのブロック構成例示図。

【図5】 本発明による同期整流器を使用した非対称フライバック回路図。

【図6】 本発明でスイッチLのゲート電圧と同期整流器のゲート電圧を示す波形図。

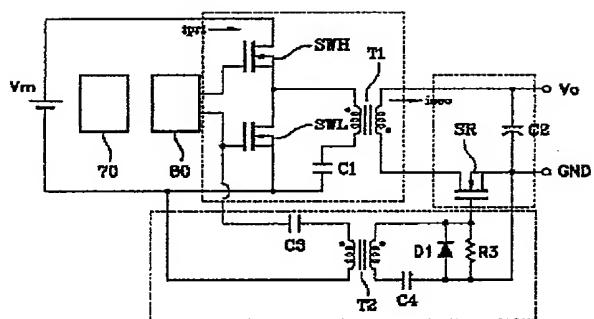
【図7】 本発明で同期整流器のゲート電圧とトランジストの2次側の電流を示す波形図。

【図8】 本発明で同期整流器のゲート電圧と2次側のハイサイド電流を示す波形図。

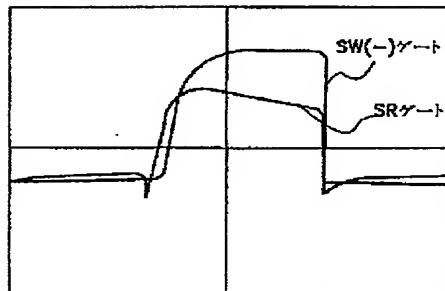
【符号の説明】

10…EMIフィルタ、20…ブリッジ整流部、30…電圧ダブル、40…非対称フライバックコンバータ、50…同期整流部、70A…PWMコントローラ、80…スイッチゲートドライバ、90A…SRゲートドライバ、91…信号遅延部、92…反転及び補償部、93…バッファー増幅器、100…フィードバック部、110…保護回路。

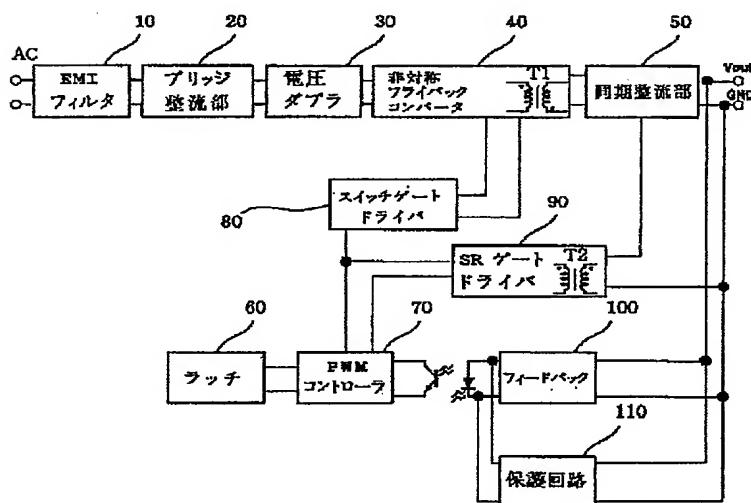
【図2】



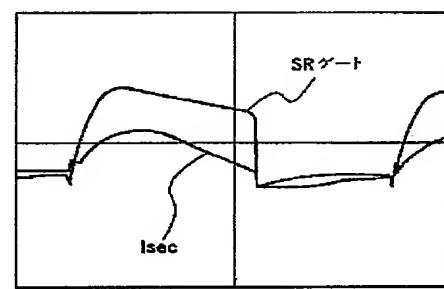
【図6】



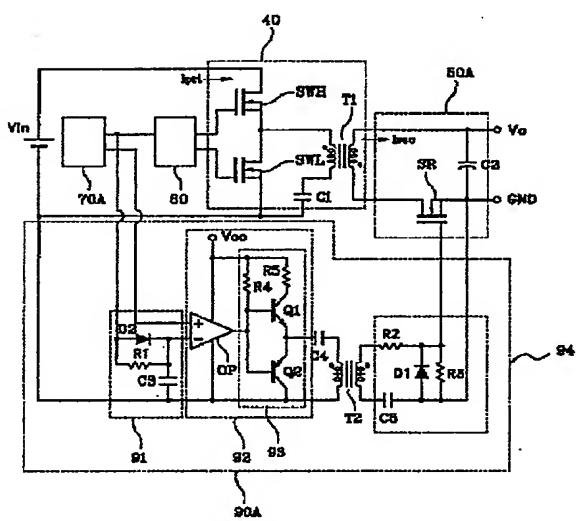
【図4】



【図7】



【図5】



【図8】

